(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Numéro de publication: **0 298 848**
A2

(12) # DEMANDE DE BREVET EUROPEEN

(21) Numéro de dépôt: **88401717.9**

(22) Date de dépôt: **01.07.88**

(51) Int. Cl.[4]: **G 06 F 12/14**
H 03 K 3/353, H 03 K 19/00

(30) Priorité: **10.07.87 FR 8709790**

(43) Date de publication de la demande:
11.01.89 Bulletin 89/02

(84) Etats contractants désignés: **DE ES GB IT NL**

(71) Demandeur: **SGS-THOMSON MICROELECTRONICS S.A.**
7, Avenue Galliéni
F-94250 Gentilly (FR)

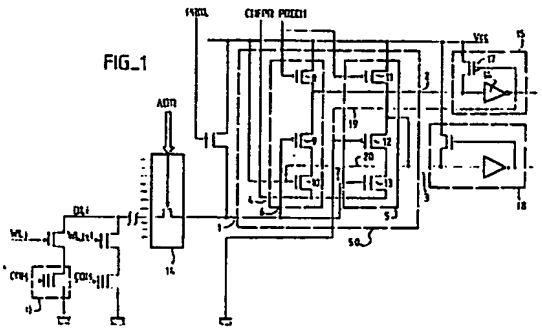
(72) Inventeur: **Kowalski, Jacek**
50 Lotissement les Jardins des Seignières
F-13530 Trets (FR)

(74) Mandataire: **Ballot, Paul Denis Jacques et al**
Cabinet Ballot-Schmit 84, avenue Kléber
F-75116 Paris (FR)

(54) **Détecteur électrique de niveau logique binaire.**

(57) Pour éviter les actions frauduleuses d'utilisateurs malveillants, on empêche la détection des codes secrets contenus dans une carte à mémoire à circuit intégré MOS, et transmis à un organe d'entrée-sortie, en interposant dans la chaîne de transmission, dans le circuit intégré lui-même, un amplificateur (50) de lecture comportant esentiellement deux circuits (4, 5) identiques en parallèle destinés à prendre des états logiques complémentaires quand ils reçoivent un même niveau logique à détecter. Il en résulte que la consommation électrique de l'amplificateur est la même quel que soit le niveau logique transmis. Dans ces conditions il devient impossible de déduire la nature du niveau logique transmis. A titre de perfectionnement, les sorties du détecteur sont munies de circuits bistables (15, 18) et sont mutuellement couplées (19, 20) les unes aux autres de manière à pouvoir tenir compte d'informations détectées de type transitoire ou parasité.

FIG_1



EP 0 298 848 A2

Description

DETECTEUR ELECTRIQUE DE NIVEAU LOGIQUE BINAIRE

La présente invention a pour objet un détecteur électrique de niveau logique binaire. Elle trouve son application dans le domaine de l'informatique et, dans celui-ci, plus particulièrement dans le domaine des cartes à mémoire munies de microprocesseurs et de circuits mémoire en technologie M O S du type non volatile (EPROM ou EEPROM). Elle concerne également les amplificateurs de lecture d'informations contenues dans des mémoires électroniques du type dynamique ou statique à accès aléatoire.

L'utilisation des cartes à mémoire connaît une croissance importante. L'utilisation la plus complète concerne le domaine bancaire où des cartes à mémoire à circuit intégré incorporé sont destinées à terme à remplacer les carnets de chèques et à servir de moyen universel de transaction entre les divers opérateurs économiques. Quelles que soient les opérations financières exécutées avec une telle carte, celle-ci doit contenir deux types d'informations. Un premier type d'informations concerne les soldes bancaires : ces informations rendent compte de la hauteur du solde avant et après chaque opération. Ces informations de solde doivent être accessibles à l'utilisateur. Elles ont un caractère confidentiel mais demandent cependant à être connues. D'autres informations par contre doivent rester secrètes. Certaines doivent rester secrètes sauf pour le titulaire de la carte : il s'agit dans ce cas de son code secret de validation d'une opération exécutée avec cette carte. D'autres doivent rester secrètes à l'égard de qui que ce soit y compris le titulaire de la carte : ce sont en général des informations utilisées pour l'élaboration du code secret qui, en dehors du titulaire, n'est pas connu et qui ne peut donc être reconstitué par manipulations électriques de la carte. Malheureusement, l'imagination des fraudeurs n'a pas de limite, et il est nécéssaires de se prémunir de toutes tentatives de décryptage des informations secrètes contenues dans les cartes.

On s'est ainsi rendu compte qu'un fraudeur avisé pouvait tenter de mesurer la consommation électrique d'un circuit de polarisation du système de lecture des informations contenues dans une carte pour déterminer, par mesure de la variation de consommation électrique, l'allure des niveaux logiques débités par la carte de manière à en déduire les codes secrets y inscrits. En effet, les points mémoire des cartes à mémoire en circuit intégré sont souvent du type comportant un transistor à deux grilles : une grille de commande et une grille flottante. Des charges piégées dans la grille flottante peuvent s'opposer à la mise en conduction du transistor en réponse à une commande appliquée sur la grille de commande et révéler ainsi leur présence, tandis que leur absence rendrait le transistor conducteur et provoquerait dans un circuit de mesure en série avec ce transistor une variation du signal qui lui est introduit. La programmation d'une telle mémoire s'effectue donc en piégeant ou en ne piégeant pas de telles charges dans les grilles flottantes de ces transistors. Cependant, d'une situation à l'autre, l'énergie électrique ainsi mise en jeu est faible. Et l'information demande pour pouvoir être transmise correctement jusqu'à organe de lecture, ou à un organe d'exécution d'une transaction financière, à être amplifiée.

En pratique on réalise simplement ces amplificateurs. en technologie CMOS en utilisant deux transistors de conductivité inverse, un de type P et un de type N, en série et polarisés entre la tension Vcc d'alimentation du circuit et la masse. Les grilles de ces transistors sont réunies ensemble et reçoivent le signal à amplifier. La sortie est prélevée sur le point milieu de ces transistors. Ce montage amplificateur est inverseur. L'inconvénient d'un tel inverseur utilisé comme amplificateur est qu'il présente une différence de consommation importante selon qu'il doit transmettre un état logique 1 ou un état logique 0. Et le courant qui traverse cet amplificateur révèle ainsi par sa valeur l'état logique lu. En effet quand il consomme un courant plus important, l'impédance interne du générateur de polarisation donne lieu à une chute de tension de l'alimentation qui peut être exploitée dans ce sens. Quels que soient les perfectionnements apportés à ces générateurs, les circuits de connexion de cette alimentation aux cartes étant des circuits à contacts, donc forcément résistifs, ils jouent le rôle d'une telle résistance interne et provoquent la chute de tension révélatrice.

En outre dans les circuits mémoire de type dynamique l'information de niveau logique à détecter est transitoire. La détection d'un niveau logique donné peut être d'autant mieux assurée qu'on peut transformer cette information fugitive en une information maintenue, au moins un certain temps. De plus il est nécéssaire qu'un tel détecteur, en dehors des instants où il est chargé d'effectuer sa détection, présente une consommation statique la plus faible possible. En effet il est nécéssaire de ne pas trop élever la température du circuit intégré dont ce détecteur pourrait faire partie. Enfin le détecteur ainsi réalisée doit être un détecteur rapide : il doit avoir une vitesse de fonctionnement aussi élevée que celle d'une porte logique.

L'invention a pour objet de donner une solution à ces problèmes en proposant un détecteur muni essentiellement de deux circuits de détection branchés en parallèle entre l'alimentation électrique et la masse et complémentaires l'un de l'autre. Selon le niveau logique introduit un des deux circuits bascule et entraîne une consommation électrique équivalente à la consommation électrique entraînée par l'autre circuit quand ce dernier bascule pour un niveau logique binaire différent. Judicieusement, pour éviter des consommations électriques intempestives en dehors des périodes de détection ces deux circuits sont activés puis désactivés au moment de la réception de chaque niveau logique détecté. Le signal de désactivation ultérieur au signal d'activation du détecteur peut même être

utilisé pour remettre à zéro le détecteur et le rendre disponible pour une détection suivante.

L'invention concerne donc un détecteur électrique de niveau logique binaire, du type polarisé et comportant des moyens pour recevoir un signal d'un niveau logique donné et pour délivrer un signal d'un niveau logique correspondant au niveau logique reçu, caractérisé en ce qu'il comporte des moyens pour rendre sa consommation indépendante des niveaux logiques délivrés.

L'invention sera mieux comprise à la lecture de la description qui suit et l'examen des figures qui l'accompagnent. Celles-ci ne sont données qu'à titre indicatif et nullement limitatif de l'invention. Les figures montrent :

- figure 1 : une représentation schématique d'un détecteur selon l'invention ;
- figure 2 : des diagrammes temporels de signaux de synchronisation intervenant dans la dispositif de l'invention.

La figure 1 montre un détecteur électrique 50 de niveau logique binaire conforme à l'invention. Celui-ci comporte une entrée 1 pour recevoir un signal d'un niveau logique donné et, dans l'exemple représenté, deux sorties 1 et 3 pour délivrer au moins un signal d'un niveau logique correspondant au niveau logique reçu. Ici les deux signaux délivrés sont même complémentaires l'un de l'autre. Dans sa caractéristique essentielle le détecteur de l'invention comporte des moyens pour rendre sa consommation indépendante des niveaux logiques délivrés. Dans la solution particulière représentée les moyens pour rendre la consommation indépendante des niveaux logiques délivrés comportent essentiellement deux circuits, 4 et 5, polarisés à Vcc, en parallèle l'un de l'autre, et recevant tous deux par une entrée respectivement 6 et 7 le signal à détecter.

Les deux circuits 4 et 5 présentent la particularité de posséder des consommations électriques complémentaires vis à vis des niveaux logiques binaires à détecter. Dans l'exemple particulier et préféré représenté, les deux circuits 4 et 5 sont même totalement identiques ce qui assure la complémentarité de la consommation électrique. Ils ne sont différenciés que par le mode de connexion des composants qu'ils comportent.

Ainsi, le circuit 4 comporte trois transistors en série, respectivement les transistors 8 à 10, tandis que le circuit 5 comporte trois autres transistors en série, les transistors 11 à 13. Les transistors 8, 9, 11 et 12, sont des transistors à canal P (leur grille est munie symboliquement d'un petit rond). Ils possèdent la particularité, en étant alimentés par une tension Vcc positive, d'être conducteurs quand ils reçoivent un niveau électrique nul (la masse) sur leur grille, et d'être au contraire bloqués lorsqu'ils y reçoivent un niveau électrique un (Vcc). Les transistors 10 et 13 sont des transistors à canal N : leur fonctionnement est inverse des précédents. Dans les circuits 4 et 5 les trois transistors sont montés en série entre le potentiel d'alimentation Vcc et une borne commune recevant un signal CHEPR complémentaire d'un signal PRECH qui est, lui, appliqué sur les grilles des transistors 8 et 11. Dans un exemple particulier de réalisation la grille du transistor 10 est reliée au potentiel d'alimentation Vcc tandis que la grille du transistor 12 est reliée à la masse. Les grilles des transistors restants 9 et 13 sont reliées ensemble à l'entrée 1 du détecteur. La sortie 2 du détecteur est prélevée au point milieu des transistors 8 et 9 tandis que la sortie 3 est prélevée au point milieu des transistors 11 et 12.

Le signal PRECH est un signal de pré-charge ; il est complémentaire du signal CHEPR et il est en général nul tandis que ce dernier vaut Vcc. Au moment de la détection, après qu'un signal de pré-charge de ligne de bits PRBL d'une mémoire (par exemple portée par une carte à mémoire) a été appliqué à la sortie d'un décodeur 14, en fonction d'un signal d'adresse ADR une ligne de bits de rang "i" BLi est sélectionnée. La sélection simultanée d'une ligne de mots permet alors à une ligne de mots particulière WLj d'adresser au décodeur 14 l'information contenue dans un point mémoire "ij". Cette information est envoyée au détecteur. La variation du courant d'alimentation se produit dans plusieurs lignes de mots, en même temps, de sorte que son exploitation en vue de son décodage frauduleux devient impossible. Ultérieurement lorsque le détecteur reçoit l'ordre de validation de détection, il bascule de manière différente selon la nature de l'information disponible à son entrée 1.

Avant l'apparition du signal SD à détecter le signal de pré-charge PRECH vaut zéro et le signal CHEPR vaut Vcc (figure 2). Dans ce cas les deux signaux S2 et S3 disponibles aux sorties 2 et 3 valent Vcc. En effet les transistors 8 et 11 conduisent puisque , étant du canal P, ils reçoivent un potentiel nul sur leur grille : la tension Vcc est donc transmise aux sorties 2 et 3. Tous les transistors 8 à 12 sont alors conducteurs, seul le transistor 13 est bloqué. Après l'application du signal PRBL, qui précharge l'entrée du détecteur et les lignes de bits à un, la lecture de la cellule a lieu. Le signal SD reste soit à un, soit se décharge à zero. Une fois le niveau stabilisé, le signal PRECH bascule à Vcc et CHEPR à zero. Dans un premier cas le signal SD disponible à l'entrée 1 vaut zéro. Dans ce cas le transistor 13 reste bloqué tandis que le transistor 9 devient conducteur. Le transistor 8 se bloque et le transistor 10 devient conducteur. Dans ces conditions la sortie 2 passe à l'état zéro. Par contre, le blocage de transistor 11, la mise en conduction du transistor 12 et le blocage du transistor 13 maintiennent la sortie 3 au niveau un. A l'opposé, si le signal émis en entrée est d'un niveau un et vaut Vcc, les transistors 12 et 13 se mettent à conduire et la sortie 3 bascule à zéro tandis que la sortie 2 reste à Vcc.

Quelle que soit la situation les transistors 10 et 12 conduisent toujours. Leur rôle est uniquement de rendre symétrique les deux branches identiques. De cette manière on obtient des vitesses de décharge identiques dans les deux branches. On ne peut de ce fait pas non plus utiliser la vitesse de décharge, par son retentissement sur le circuit d'alimentation, comme information susceptible de révéler les niveaux logiques transmis. A l'issue de la transmission le signal PRECH retombe à zéro et le signal CHEPR varie complémentairement. Le détecteur reprend alors son état initial : transistors 8, 9 10, 11 et 12

conducteurs, transistor 13 bloqué, les deux sorties 2 et 3 à l'état Vcc. Dans cet état le détecteur ne consomme aucun courant puisque les transistors conducteurs sont raccordés de part et d'autre à des potentiels égaux et puisque l' autre transistor est bloqué.

Lorsque le détecteur détecte, au moment du basculement, une des deux sorties 2 ou 3 reste à l'état Vcc tandis que l'autre retourne à zéro. Celle qui reste à l'état Vcc est en fait dans un état instable à ce potentiel. En effet ce potentiel est prélevé entre deux transistors bloqués en série : transistors 8 et 9 quand un état zéro est disponible à l'entrée 1, transistors 11 et 12 quand un état Vcc est disponible à l'entrée 1. Pour maintenir les sorties 2 et 3 à ce niveau significatif on utilise, en série avec chacune des deux sorties, un circuit bistable tel par exemple que le circuit 15. Le circuit 15 comporte essentiellement un inverseur 16 en série avec la sortie 2 et un transistor à canal P 17 branché en parallèle entre l'alimentation Vcc et l'entrée de l'inverseur 16. La sortie de l'inverseur 16 est rebouclée sur la grille du transistor 17. Si un état un (Vcc) est disponible à l'entrée de l'inverseur 16, à sa sortie un état zéro est disponible. Dans ces conditions le transistor 17 devient conducteur et transmet, en maintenant le potentiel, la tension Vcc à l'entrée de l'inverseur 16. Par contre si le potentiel à la sortie 2 est nul la sortie de l'inverseur 16 est portée à Vcc, ce qui bloque le transistor 17, et ce qui maintient effectivement l'entrée de l'inverseur 16 à zéro.

Dans une variante préférée de réalisation, les deux circuits 4 et 5 sont même couplés l'un à l'autre par l'intermédiaire de leurs circuits bistables respectifs 15 et 18. Dans ce but la sortie du circuit 15, c'est à dire la sortie de l'inverseur 16, est reliée par une connexion 19 à la grille du transistor 12, et la connexion à la masse de cette grille du transistor 12 est coupée. Dans le même but l'entrée du bistable 18, c'est à dire en définitive la sortie 3 du détecteur, est reliée par une connexion 20 à la grille du transistor 10, et la connexion à l'alimentation Vcc de la grille du transistor 10 est coupée. Ces deux dernières liaisons sont montrées en tirets sur la figure 1. Ce type de connexion constitue pour l'ensemble du détecteur un montage stable à trois états. En dehors des périodes de détection, les sorties 2 et 3 sont à Vcc, la sortie du bistable 15 est donc à zéro et les nouvelles connexions 19 et 20 maintiennent les grilles des transistors respectivement 12 et 10 dans les mêmes états que décrits jusqu'à présent. Lors d'une détection l'une des deux sorties est portée à Vcc alors que l'autre est portée à zéro. Lorsque la sortie 2 est portée seule à Vcc (un niveau logique un est disponible à l'entrée 1) le transistor 12 reçoit un potentiel nul : rien n'est changé pour lui. Par contre le transistor 10 reçoit également un potentiel nul et il a donc tendance à se bloquer également. Il en résulte que si un parasite intervient tendant à faire passer l'entrée 1 à un niveau zéro (par exemple un écroulement de la tension délivrée par la mémoire) le transistor 9 pourra se mettre en conduction sans altérer le niveau du potentiel disponible sur la sortie 2 puisque le blocage du transistor 10 vient assurer la valeur de ce potentiel en sortie 2 à Vcc.

Dans l'autre cas quand un niveau logique zéro est à détecter à l'entrée du détecteur, la sortie 3 est portée à une potentiel Vcc tandis que la sortie 2 est portée à zéro. Il en résulte que le transistor 10 reçoit sur sa grille une tension Vcc : rien n'est changé pour lui par rapport à son schéma de connexion antérieur. Par contre le transistor 12 reçoit maintenant sur sa grille un signal polarisé à Vcc. Comme le transistor 12 est un transistor à canal P il se bloque. En conséquence la sortie 3 prise entre deux transistors bloqués, les transistors 11 et 12, reste à son potentiel : au potentiel Vcc. Elle y reste même si un parasite se produit. Lorsque les signaux de précharge PRECH et CHEPR reprennent leur valeur d'attente, les sorties des circuits 15 et 18 retombent toutes à zéro.

Le mode de connexion ainsi réalisée présente donc l'avantage d'avoir trois états stables, un état stable d'attente de détection, et deux états stables dépendant du niveau logique détecté. Dans les deux états stables dépendant du niveau logique détecté, le circuit est capable de prendre en compte les phénomènes transitoires et de maintenir l'information quels que soient les aléas subis ultérieurement par les informations à détecter. En particulier ce mode de fonctionnement est particulièrement intéressant quand, avant de lire d'autres cellules mémoire, on prend la précaution de décharger les lignes de mots WLj avec une tension Vss (négative) après une précédente lecture. Cette précaution qui améliore la fiabilité de la lecture de l'information contenue dans une cellule mémoire était jusqu'à présent gênante pour la prise en compte des informations lues. Par ailleurs, les bistables 15 et 18 étant complémentaires la consommation est la même quel que soit le niveau logique détecté.

Dans les circuits logiques situés en aval on peut exploiter un des signaux délivrés par les bistables, ou même les deux. Dans ces circuits logiques en aval, le traitement subi par les signaux rend leur décodage frauduleux impossible. D'une manière préférée un détecteur selon l'invention est incorporé dans le circuit intégré porté par une carte à mémoire. Il est peu encombrant, sa réalisation n'entraîne pas de phases particulières de fabrication de ce circuit intégré. Un seul détecteur est utilisé pour une carte.

Revendications

1 - Détecteur électrique (50) de niveau logique binaire, du type polarisé (Vcc) et comportant des moyens (1 - 3) pour recevoir un signal de niveau logique donné et pour délivrer un signal d'un niveau logique correspondant au niveau logique reçu, caractérisé en ce qu'il comporte des moyens (4, 5) pour rendre sa consommation électrique indépendante des niveaux logiques délivrés.

2 - Détecteur selon la revendication 1 caractérisé en ce que les moyens pour rendre

indépendante comporte deux circuits (4, 5) polarisés, en parallèle, recevant tous deux le signal à détecter, et présentant des consommations complémentaires vis à vis respectivement de chacun des deux niveaux logiques.

3 - Détecteur selon la revendication 2 caractérisé en ce que chaque circuit comporte une commande d'activation (PRECH, CHEPR) pour activer le détecteur quand un niveau est à détecter et pour désactiver le détecteur en dehors de ces périodes, la commande de désactivation servant de remise à zéro du détecteur.

4 - Détecteur selon l'une quelconque des revendications 1 à 3 caractérisé en ce qu'il comporte un circuit (15, 18) de maintien du niveau logique délivré pour améliorer la détection de niveaux logiques reçus transitoires.

5 - Dispositif selon l'une quelconque des revendications 2 à 4, caractérisé en ce que les deux circuits comportent des moyens (19, 20) pour être couplés et se maintenir mutuellement dans leurs états respectifs.

6 - Détecteur selon l'une quelconque des revendications 2 à 5 caractérisé en ce que chaque circuit comporte au moins trois transistors (8, 10) en série.

7 - Utilisation d'un détecteur selon l'une quelconque des revendications 1 à 6 comme amplificateur de lecture dans un système de lecture des informations contenues dans un circuit mémoire d'une carte mémoire du type comportant une mémoire en circuit intégré.

8 - Utilisation selon la revendication 7 caractérisée en ce que le détecteur fait partie intégrante des circuits intégrés dans la carte mémoire.

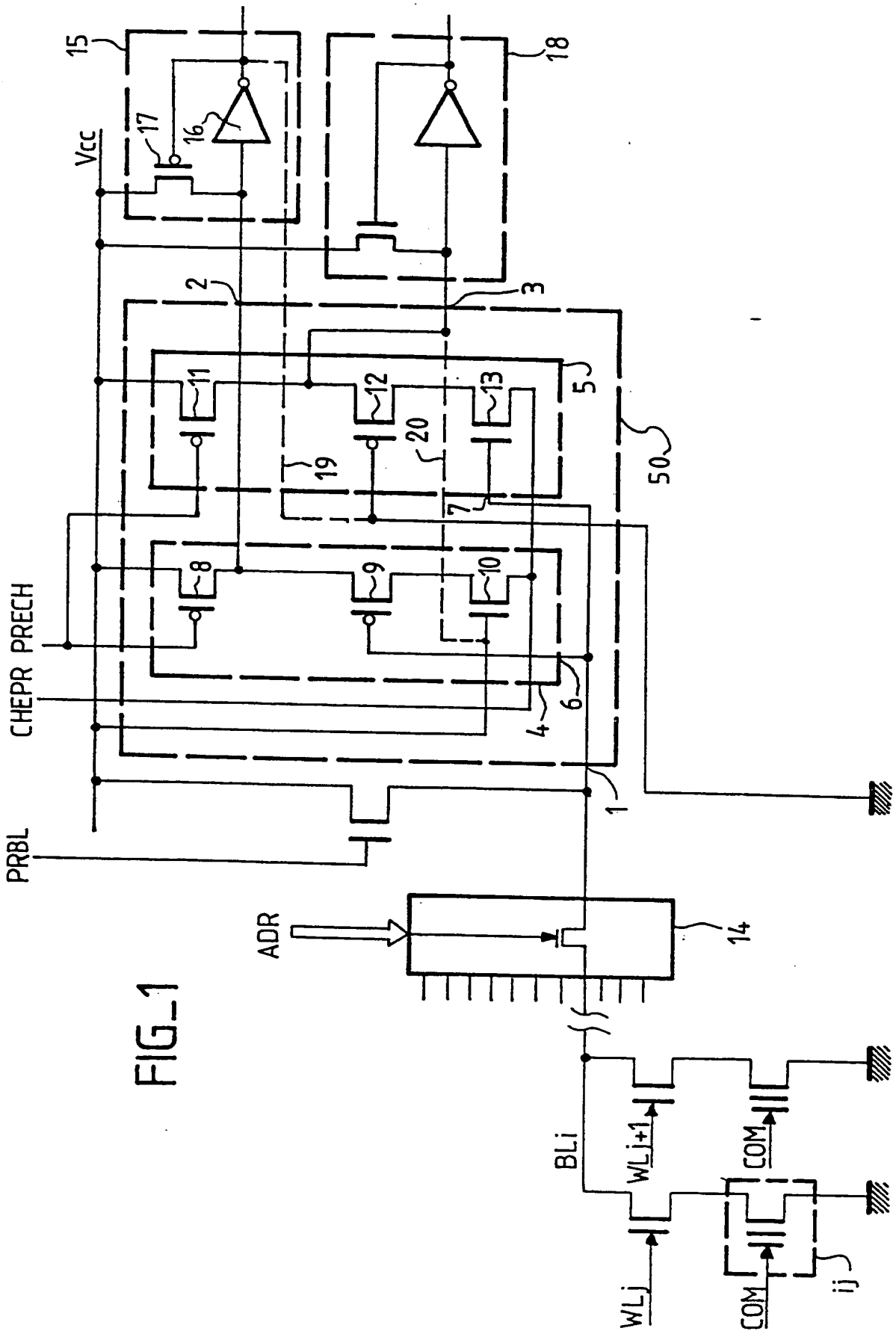
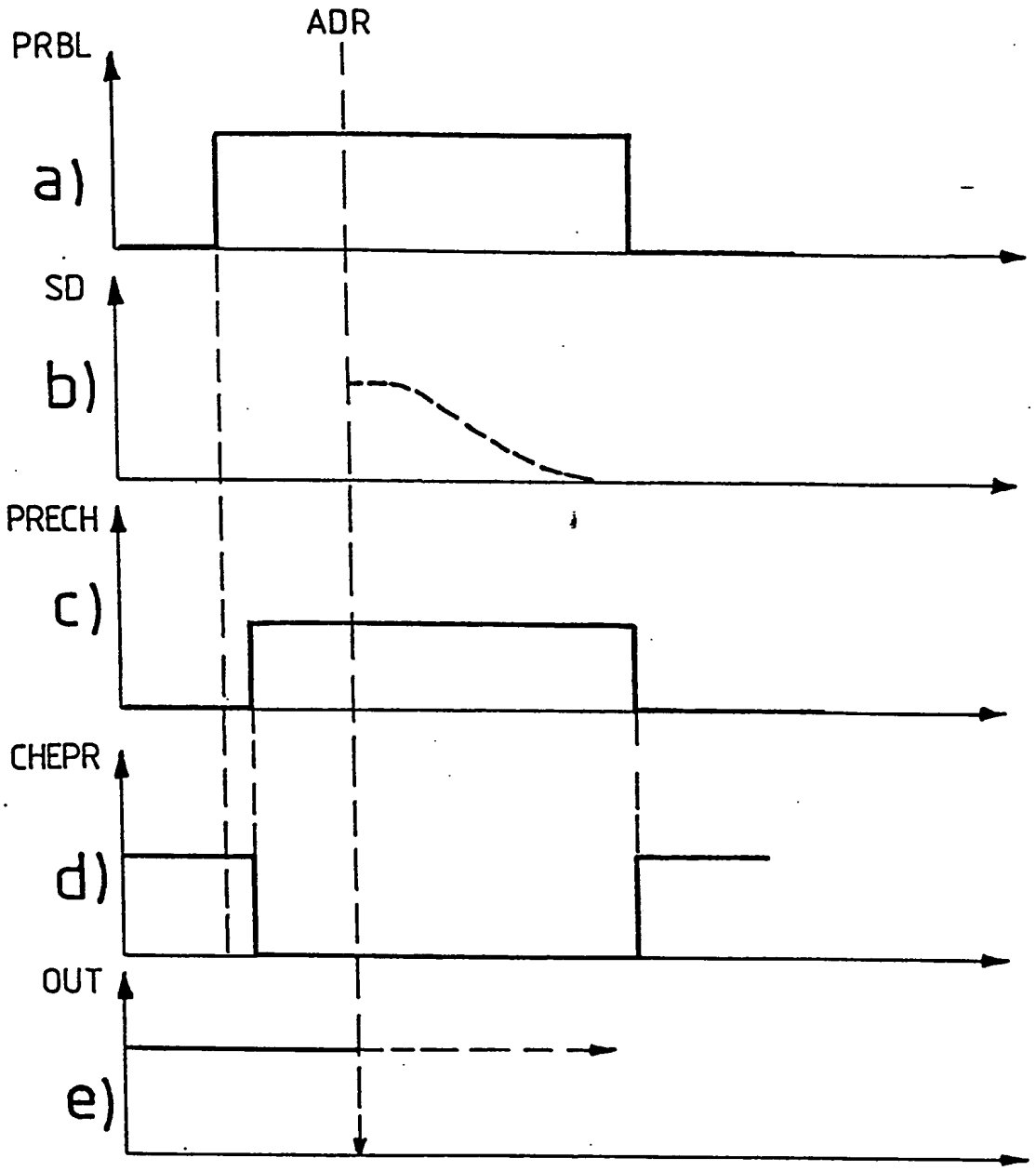

15
18
Vcc
17
16
2
3
11
12
13
5
20
19
50
7
8
9
10
CHEPR PRECH
6
4
1
PRBL
ADR
14
BLi
WLj+1
COM
WLj
COM
ij

FIG_1

FIG_2



(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Numéro de publication: **0 298 848**
A3

(12) # DEMANDE DE BREVET EUROPEEN

(21) Numéro de dépôt: **88401717.9**

(22) Date de dépôt: **01.07.88**

(51) Int. Cl.4: **G06F 12/14 , H03K 3/353 , H03K 19/00**

(30) Priorité: **10.07.87 FR 8709790**

(43) Date de publication de la demande: **11.01.89 Bulletin 89/02**

(84) Etats contractants désignés: **DE ES GB IT NL**

(88) Date de publication différée du rapport de recherche: **14.02.90 Bulletin 90/07**

(71) Demandeur: **SGS-THOMSON MICROELECTRONICS S.A.**
7, Avenue Galliéni
F-94250 Gentilly(FR)

(72) Inventeur: **Kowalski, Jacek**
50 Lotissement les Jardins des Seignières
F-13530 Trets(FR)

(74) Mandataire: **Ballot, Paul Denis Jacques et al**
Cabinet Ballot-Schmit 7, rue le Sueur
F-75116 Paris(FR)

(54) **Détecteur électrique de niveau logique binaire.**

(57) Pour éviter les actions frauduleuses d'utilisateurs malveillants, on empêche la détection des codes secrets contenus dans une carte à mémoire à circuit intégré MOS, et transmis à un organe d'entrée-sortie, en interposant dans la chaîne de transmission, dans le circuit intégré lui-même, un amplificateur (50) de lecture comportant esentiellement deux circuits (4, 5) identiques en parallèle destinés à prendre des états logiques complémentaires quand ils reçoivent un même niveau logique à détecter. Il en résulte que la consommation électrique de l'amplificateur est la même quel que soit le niveau logique transmis. Dans ces conditions il devient impossible de déduire la nature du niveau logique transmis. A titre de perfectionnement, les sorties du détecteur sont munies de circuits bistables (15, 18) et sont mutuellement couplées (19, 20) les unes aux autres de manière à pouvoir tenir compte d'informations détectées de type transitoire ou parasité.

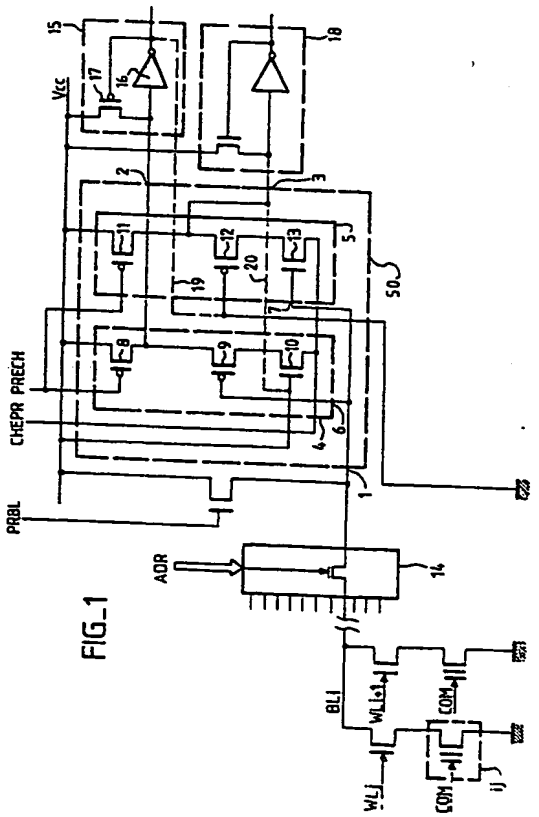


FIG_1

EP 0 298 848 A3

Office européen des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 88 40 1717

DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.4)
A	US-A-4563595 (BOSE) * colonne 4, lignes 4 - 44; figure 5 *	1	G06K19/073 G06F12/14 H03K3/353
A	EP-A-130587 (SIEMENS) * abrégé; figure 2 *	1	H03K19/00
A	EP-A-44066 (SIEMENS) * page 2, ligne 8 - page 3, ligne 4; figure 2 *	1	
A	EP-A-169941 (SIEMENS) * page 1, ligne 11 - page 2, ligne 13; revendication 1 *	7, 8	-

DOMAINES TECHNIQUES RECHERCHES (Int. Cl.4)

G06K19
G06F12
H03K3
H03K19

Le présent rapport a été établi pour toutes les revendications

Lieu de la recherche	Date d'achèvement de la recherche	Examinateur
BERLIN	28 NOVEMBRE 1989	LEMMERICH J.

CATEGORIE DES DOCUMENTS CITES

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : arrière-plan technologique
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date
D : cité dans la demande
L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

EPO FORM 1503 03.82 (P0402)